

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 62259466 A

(43) Date of publication of application: 11.11.87

(51) Int. Cl. H01L 27/10
G11C 11/34
H01L 27/08

(21) Application number: 61102836

(22) Date of filing: 02.05.86

(71) Applicant: SONY CORP

(72) Inventor: HAYASHI HISAO
OOSHIMA TAKEFUMI
NEGISHI MICHIO

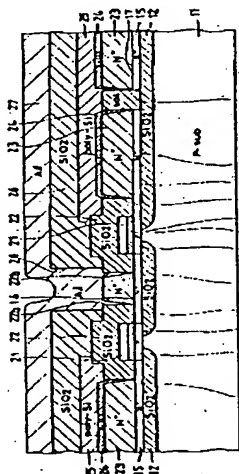
(54) STORAGE DEVICE

(57) Abstract:

PURPOSE: To highly integrate a storage device by providing a switching transistor of SOI structure and a second single crystal semiconductor region.

CONSTITUTION: A contact single crystal semiconductor region 29 simultaneously formed by growth with a second single crystal semiconductor region 23 is formed in a hole 28 of a bit line 27. This region 29 is formed in a self-aligning manner, predetermined impurity and conductivity are provided similarly to the region 23, and a bit line 27 is wired to fill the hole 28. The region 23 is formed on a semiconductor region 15 in an SOI structure. Accordingly, when a capacitor is formed of the region 23, the shape of the region 23 becomes a substantially trapezoidal shape by selective growth. Thus, a predetermined area of opposed electrodes can be obtained even if high density is provided.

COPYRIGHT: (C)1987,JPO&Japio



BEST AVAILABLE COPY

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭62-259466

⑤Int.Cl. 4

識別記号

厅内整理番号

④③公開 昭和62年(1987)11月11日

H	01	L	27/10
G	11	C	11/34
H	01	L	27/08

$$\begin{array}{ccc} 3 & 5 & 2 \\ 1 & 0 & 2 \end{array}$$

8624-5F

7735-5F

審査請求 未請求 発明の数 1 (全5頁)

⑤④発明の名称 メモリ装置

②特 願 昭61-102836

②出 願 昭61(1986)5月2日

②発	明	者	林	久	雄	東京都品川区北品川6丁目7番35号	ソニー株式会社内		
②発	明	者	大	嶋	健	文	東京都品川区北品川6丁目7番35号	ソニー株式会社内	
②発	明	者	根	岸	三	千	雄	東京都品川区北品川6丁目7番35号	ソニー株式会社内
①出	願	人	ソニー株式会社			東京都品川区北品川6丁目7番35号			
④代	理	人	弁理士 小池 晃			外1名			

明細書

いたメモリ装置に関する。

1. 発明の名称

メモリ装置

2. 特許請求の範囲

半導体基体露出面と絶縁領域形成面とからなる一主面上の第1の単結晶半導体領域にチャンネル領域と不純物領域とを有するスイッチングトランジスタと、

上記第1の単結晶半導体領域上であって上記スイッチングトランジスタのゲート電極とは絶縁して形成される第2の単結晶半導体領域にキャパシタ下部電極が形成されてなる容量とを有するメモリ装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、容量とスイッチングトランジスタとを有するメモリ装置に関し、特にSOI構造を用

(発明の概要)

容量とスイッチングトランジスタとを半導体基体上に形成してなるメモリ装置において、スイッチングトランジスタの不純物領域とチャンネル領域を第1の単結晶半導体領域に形成すると共に容量のキャパシタ下部電極を上記第1の単結晶半導体領域上の第2の単結晶半導体領域に形成することにより、現状のプロセス技術を用いて高密度かつ高信頼性のメモリ装置としたものである。

(従来の技術)

一般に、D R A M等の情報信号を記憶保持するメモリ装置として、スタックトキャパシタセル構造のメモリ装置が知られている。

従来のスタックキャパシタセル構造のメモリ装置は、例えば、多層ポリシリコン技術を用いて形成され、シリコン等の半導体基体上に第1層のポリシリコン層でワード線となるスイッチングトラ

ンジスタのゲート電極が形成され、第2層のポリシリコン層で上記スイッチングトランジスタの不純物領域からの取り出し電極ともなるキャパシタ下部電極が形成されている構造になっている。そして、該第2層のポリシリコン層上に誘電体層を介して第3層のポリシリコン層がキャパシタの上部電極として形成され、ビット線は開口部を介して上記スイッチングトランジスタと接続される構造となっている。

また、半導体基体に形成したスイッチングトランジスタの不純物拡散領域をそのままキャパシタ下部電極とするような構造のメモリ装置も知られており、例えば、シリコン等の半導体基体上にポリシリコン層でワード線となるスイッチングトランジスタのゲート電極が形成され、半導体基体に形成されたスイッチングトランジスタのソース・ドレイン領域の一方が延在されてキャパシタ下部電極として用いられ、更にその領域上に誘電体層及びキャパシタ上部電極が形成される構造のメモリ装置が知られている。

よりソフト・エラー等も発生し易い。

そこで、本発明は、素子の面積の縮小化を図って高密度の素子を配列し、さらに高性能を実現する構造のメモリ装置の提供を目的とする。

(問題点を解決するための手段)

本発明は、半導体基体露出面と絶縁領域形成面とからなる一主面上の第1の単結晶半導体領域にチャンネル領域と不純物領域とを有するスイッチングトランジスタと、上記第1の単結晶半導体領域上であって上記スイッチングトランジスタのゲート電極とは絶縁して形成される第2の単結晶半導体領域にキャパシタ下部電極が形成されてなる容量とを有するメモリ装置により上述の問題点を解決する。

(作用)

本発明のメモリ装置にかかるスイッチングトランジスタは、半導体基体露出面と絶縁領域形成面とからなる一主面上の第1の単結晶半導体領域に

(発明が解決しようとする問題点)

しかしながら、上述のように、半導体基体にソース・ドレイン領域の一方を延在させて該半導体基体をそのままキャパシタ下部電極として用いる構造のものは、不純物を拡散させる領域であるため面積の縮小化を図ることが容易でなく、素子の微細化傾向に反し、集積度を高めることが困難である。

また、上記多層ポリシリコン技術を用いて形成する構造のものは、フォトリソグラフィ技術を用い所定のマスクによりエッチング等を行いパターンニングして各ポリシリコン層を形成するため、マスクの合わせずれ等のマージンを必要とすることから微細化、高密度化を図ることが容易でなく、また、その工程は複雑なものとなる。

更に、ビット線等からの読み出し等に際して、当該ビット線と接続するトランジスタなどにおける寄生容量によっては、センスアンプの負担等が大きくなり、動作速度に影響する。また、 α 線に

不純物領域及びチャンネル領域が形成される構造になっている。このため上記半導体基体露出面を種として単結晶成長を図ることができ、また、絶縁領域形成面を利用したSOI構造となるため寄生容量の低減や素子を高密度に配列させることが可能となる。また、 α 線の悪影響を防止することも可能である。

また、容量のキャパシタ下部電極は、第1の単結晶半導体領域上の第2の単結晶半導体領域に形成される。この第2の単結晶半導体領域は上記ゲート電極と絶縁されているため、選択成長等の方法によって成長形成することができ、したがって、マスクを不要として高密度に形成することが可能である。

また、上記第2の単結晶半導体領域をトランジスタのビット線等との接続のためにコンタクトホール内にも形成することができ、その接続を確実なものにすることも可能である。

(実施例)

本発明の好適な実施例を図面を参照しながら説明する。

本実施例のメモリ装置は、第1図に示すように、1トランジスタ1セル型のDRAMの例であり、SOI構造のスイッチングトランジスタを有し更に選択成長された単結晶半導体領域に容量のキャパシタ下部電極等を形成してなる構造になっている。

先ず、P型のシリコン基板等の半導体基体11上には、所定の領域で上記半導体基体11を露出するように絶縁領域12が形成され、該半導体基体11が露出した半導体基体露出面13と絶縁領域形成面14とからなる一主面上には、上記半導体基体露出面13の結晶を種として単結晶成長した第1の単結晶半導体領域である半導体領域15が形成されている。

この半導体基体露出面13の結晶を種として単結晶成長した半導体領域15には、スイッチングトランジスタのソース・ドレイン領域となるN型の不純物領域16、17が当該スイッチングトラ

ンジスタのゲート電極21等をマスクとして形成されており、これら不純物領域16、17の間の領域はP型の導電型のチャンネル領域18となっている。なお、ビット線を共有しない2つのメモリセルの間は素子分離領域19で隔絶される構造になっている。

このような半導体領域15上には、ゲート酸化膜20を介してゲート電極21が形成され、さらにゲート電極21を被覆するようにシリコン酸化膜22が形成されている。そして、上記半導体領域15上であって、シリコン酸化膜22の側壁部22aと上記素子分離領域19の間には、N型の不純物を含有してなる第2の単結晶半導体領域23がその底面を上記スイッチングトランジスタの不純物領域17と接触して形成されている。この第2の単結晶半導体領域23は、上記半導体領域15の結晶を種として例えば選択成長によって形成され、その断面形状は略台形形状にされる。従って、後述するようにコンタクト面積を広く取ることができ、確実な接触を実現することが可能で

ある。ここで、選択成長は、例えばSiH₄ガスとHClガスの組み合わせ或いはこれらとホスフィン等のガスとの組み合わせにより可能であり、シリコンが臨む領域に限り選択的にエピタキシャル成長する。この単結晶半導体領域23は、成長時若しくは選択成長後に不純物領域が導入されて導電性を有しキャパシタ下部電極として用いられ、その上部には誘電体膜24が形成される。この誘電体膜24はキャパシタの対向電極間に配される誘電体として機能し、例えば表面酸化等の方法により形成される。この誘電体膜24の上部には、上記第2の単結晶半導体領域23と対向するキャパシタ上部電極となる多結晶シリコン層25が形成される。この多結晶シリコン層25は各セルで共通のものとする事ができる。

このような多結晶シリコン層25の上部及び側部には、当該多結晶シリコン層25を被覆するシリコン酸化膜26が被着形成され、さらにこのシリコン酸化膜26の所定の領域は開口されてビット線27のコンタクトのための開口部28になっ

ている。

上記ビット線27のコンタクトのために開口されている開口部28は、上記スイッチングトランジスタの不純物領域16で接触がとれるような位置に設けられており、そして、この開口部28内には、上記第2の単結晶半導体領域23と同時に成長形成されるコンタクト単結晶半導体領域29が形成されている。このコンタクト単結晶半導体領域29はシリコン酸化膜22の側壁部22bとセルフアラインで形成され、上記第2の単結晶半導体領域23と同様に所定の不純物を有し導電性を有する。そして、上記開口部28を充填するようにビット線27が配線されている。上記コンタクト単結晶半導体領域29は、2ビット分に相当する2つのスイッチングトランジスタの上記シリコン酸化膜22の側壁部22bの間に選択成長等の方法により形成され、ビット線27の配線の際の段差を緩和する機能のみならず、そのコンタクト面積を大きくして確実な接触を実現する。また、その導電性から上記スイッチングトランジスタの

不純物領域16の取り出し電極として機能することは勿論である。

このような構造を有する本実施例のメモリ装置は、先ず、第2図のレイアウトの一例に示すように、高密度化が可能である。

即ち、上述のようにキャパシタ下部電極が形成される第2の単結晶半導体領域23は、上記スイッチングトランジスタのゲート電極21を被覆するシリコン酸化膜22の側壁部22aと上記素子分離領域19とをマスクとして、第1の単結晶半導体領域である半導体領域15からの選択成長により形成されるため、所定の位置に確実に形成され、特にマージン等は不要となる。また、上記第2の単結晶半導体領域23は、上記半導体領域15上に形成される領域であるが、この半導体領域15の成長形成された領域は所謂SOI構造となっている。従って、このようなSOI構造故に一層の高密度化が可能であって、上記半導体領域15上に選択成長で第2の単結晶半導体領域23を形成することは、SOI構造を有効に適用するこ

品半導体領域29を介して接続するビット線27の寄生容量は、SOI構造のため、低減されたものになる。従って、ビット線27からの読み出し等の動作は高速なものになり、高性能化を実現する。

また、上記コンタクト単結晶半導体領域29は、上述のようにビット線27との接続をその接触面積の拡大及び段差の緩和等より確実なものとする。そして、その形成は、上記第2の単結晶半導体領域23の形成と共に行われ、特に工程を要するものではない。

また、上述のように、本実施例のメモリ装置はSOI構造を有し絶縁領域12等が素子として機能する部分を被覆することになる。このため基板方向からの α 線等に対して強い構造となり、ソフト・エラー率の低減等を図ることができる。

なお、上述の実施例における導電型は例示であって、反対の導電型の不純物領域等であっても良い。また、選択成長については、LEO(ラテラル・エピタキシャル成長)等の選択成長に限定さ

とになる。更に、第2の単結晶半導体領域23は、上記半導体領域15を種として単結晶化される領域である。このため膜質が良好となり、例えば表面酸化等の方法により、誘電体膜24を形成したときには、良質の誘電体膜24となり得る。

また、このような第2の単結晶半導体領域23を用いてキャパシタを形成した場合には、当該第2の単結晶半導体領域23の形状が上述の選択成長により略台形形状とされるため、高密度化にも拘らず一定の対向電極の面積を確保することができ、この対向電極の面積を確保することによって、微細化を図った場合にあっても、確実な動作が約束され得る。

また、本実施例のメモリ装置のスイッチングトランジスタは、SOI構造になっている。このため上述のように、素子の高密度化が可能である。また、このスイッチングトランジスタは、ワード線としてのゲート電極21に選択信号が供給されてオン・オフが制御されるが、当該スイッチングトランジスタの不純物領域16とコンタクト単結

れず、ブリッジングエビタキシー法、ラテラルシーディングエビタキシー法等の他の方法によって行うものであっても良い。

(発明の効果)

本発明のメモリ装置は、SOI構造のスイッチングトランジスタを有し、さらに上述の方法により形成される第2の単結晶半導体領域を有する。このため高密度に素子を配設することができ高集積化を容易に実現し、特性向上による高性能化も可能である。また、このようなSOI構造であるため寄生容量の低減や α 線の悪影響を防止することも可能である。

また、上記第2の単結晶半導体領域と共にコンタクト単結晶半導体領域を形成することができ、これにより確実な接続を行い且つ工程の簡略化も実現する。

4. 図面の簡単な説明

第1図は本発明のメモリ装置の構造の一例を示

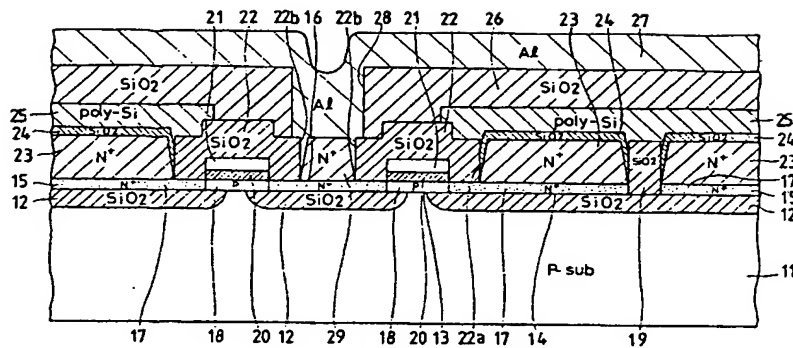
す断面図、第2図はその平面図である。

- 11・・・半導体基体
- 12・・・絶縁領域
- 13・・・半導体基体露出面
- 14・・・絶縁領域形成面
- 15・・・半導体領域(第1の単結晶半導体領域)
- 16・・・不純物領域
- 17・・・不純物領域
- 18・・・チャンネル領域
- 19・・・素子分離領域
- 21・・・ゲート電極
- 22・・・シリコン酸化膜
- 23・・・第2の単結晶半導体領域
- 24・・・誘電体膜
- 29・・・コンタクト単結晶半導体領域

特許出願人 ソニー株式会社

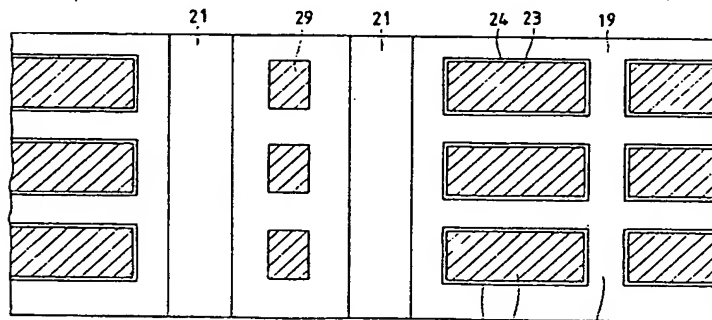
代理人 弁理士 小池 晃

同 田村 榮一



本発明のメモリ装置の一例

第1図



レイアウトの一例

第2図